

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-051303

(43) Date of publication of application : 23.02.2001

(51) Int.Cl. G02F 1/1368
 G02F 1/1345
 G09F 9/30
 H01L 29/786
 H01L 21/336

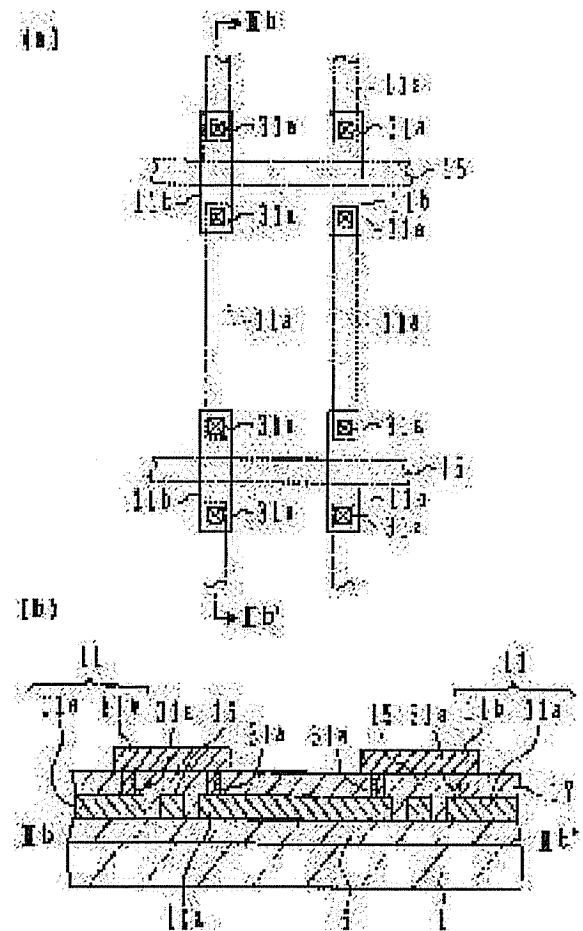
(21) Application number : 11-222730 (71) Applicant : FUJITSU LTD
 number :
 (22) Date of filing : 05.08.1999 (72) Inventor : CHO KOYU
 MAYAMA TAKEMUNE

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a bright active matrix type liquid crystal display device of high image quality.

SOLUTION: This liquid crystal display device includes a first substrate 1, polycrystalline silicon layers for plural TFTs which are aligned and arranged on a matrix and are formed to an island shape thereon, gate insulating films 5 which are formed thereon, a plurality of scanning lines 15 which are formed thereon and extend along a row direction, a plurality of first signal lines 11a which are formed on the gate insulating films 5 and extend intermittently in a column direction in the regions evading the parts near the intersected parts with the scanning lines 15, interlayer insulating films 17 which are formed on the gate insulating films 5, plural first openings 31a which are formed thereon



and expose the first signal lines 11a and plural second signal lines 11b which are formed on the interlayer insulating films 17 and form the continuous signal lines 11 in the column direction by connecting between the first signal lines 11a to each other via the first openings 31a.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-51303

(P2001-51303A)

(43)公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl.⁷
 G 0 2 F 1/1368
 1/1345
 G 0 9 F 9/30 3 3 8
 H 0 1 L 29/786
 21/336

識別記号

F I
 G 0 2 F 1/136 5 0 0 2 H 0 9 2
 1/1345 5 C 0 9 4
 G 0 9 F 9/30 3 3 8 5 F 1 1 0
 H 0 1 L 29/78 6 1 2 C
 21/336 6 2 7 G

特許出願公開番号 (参考)

審査請求 未請求 請求項の数3 O L (全 23 頁)

(21)出願番号 特願平11-222730

(71)出願人 000005223

(22)出願日 平成11年8月5日 (1999.8.5)

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 張 宏勇

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 関山 刚宗

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100091340

弁理士 高橋 敬四郎

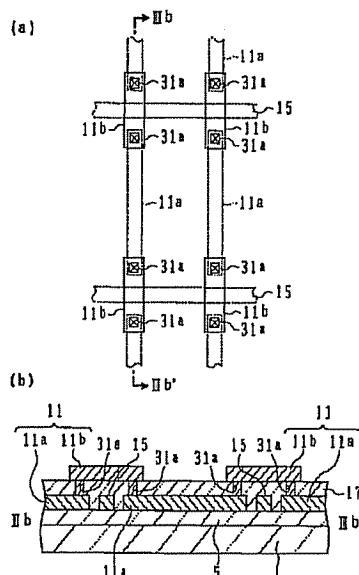
最終頁に続く

(54)【発明の名称】 液晶表示装置及びその製造方法

(57)【要約】

【課題】 高画質の明るいアクティブマトリックス型液晶表示装置を提供する。

【解決手段】 第一の基板1と、その上にマトリックス上に整列配置され、島状に形成された複数のTFT用多結晶シリコン層41aと、その上に形成されるゲート絶縁膜5と、その上に形成され行方向に沿って延在する複数本の走査線15と、ゲート絶縁膜5上に形成され走査線15との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線11aと、ゲート絶縁膜5上に形成される層間絶縁膜17と、その上に形成され第一の信号線11aを露出する複数の第1の開口31aと、層間絶縁膜17上に形成され第一の開口31aを介して第一の信号線11a間を接続して列方向に連続した信号線11を形成する複数の第二の信号線11bとを含む。



【特許請求の範囲】

【請求項 1】 第一の基板と、

該第一の基板上に行方向と列方向に整列したマトリックス状に整列配置された複数の島状の TFT 用多結晶シリコン層と、

該多結晶シリコン層を覆って前記第一の基板上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成され、行方向に沿って延在する複数本の走査線と、

前記ゲート絶縁膜上に形成され、前記走査線との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線と、

前記走査線及び前記第一の信号線を覆う層間絶縁膜と、該層間絶縁膜に形成され、前記第一の信号線を露出する複数の第 1 の開口と、

前記層間絶縁膜上に形成され、該第一の開口を介して前記第一の信号線間を接続して列方向に連続した信号線を形成する複数の第二の信号線と、

前記層間絶縁膜上に形成された画素電極と、

前記走査線と前記信号線との交差部近傍に配置され、前記 TFT 用多結晶シリコン層をチャネル層とし、前記走査線と接続されたゲート電極と前記信号線と接続されたソース電極と前記画素電極と接続されたドレイン電極とを有する薄膜トランジスタと

【請求項 2】 第一の基板と、

該第一の基板上に行方向と列方向に整列したマトリックス状に整列配置された複数の島状の TFT 用多結晶シリコン層と、

該多結晶シリコン層を覆って前記第一の基板上に形成されたゲート絶縁膜と、

該ゲート絶縁膜上に形成され、行方向に沿って延在し前記多結晶シリコン層と交差する複数本の走査線と、

前記ゲート絶縁膜上に形成され、前記走査線との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線と、

前記走査線及び前記第一の信号線を覆う層間絶縁膜と、該層間絶縁膜に形成され、前記第一の信号線を露出する複数の第 1 の開口と、

前記層間絶縁膜上に形成され、該第一の開口を介して前記第一の信号線間を接続して列方向に連続した信号線を形成する複数の第二の信号線と、

前記層間絶縁膜上に形成され、各画素領域内で列方向に延在する部分を有する画素電極と、

前記層間絶縁膜上に前記画素電極に隣接して形成され、多画素領域にわたって延在する部分を有する共通電極と、

前記走査線と前記信号線との交差部近傍に配置され、前記 TFT 用多結晶シリコン層をチャネル層とし、前記走査線によって形成されたまたは前記走査線によって接続されたゲート電極と前記信号線と接続されたソース電極

と前記画素電極と接続されたドレイン電極とを有する薄膜トランジスタとを含む液晶表示装置。

【請求項 3】 第 1 の基板上にアモルファスシリコン層を形成する工程と、

該アモルファスシリコン層を結晶化して多結晶シリコン層を形成する工程と、

該多結晶シリコン層を島状に加工して、ソース、ゲート及びドレインを含む TFT 用多結晶シリコン層を複数形成する工程と、

該 TFT 用多結晶シリコン層を覆い前記第一の基板上にゲート絶縁膜を形成する工程と、

前記走査線および第 1 の信号線を覆って層間絶縁膜を形成する工程と、

該電極膜を加工して、前記第 1 の基板上を行方向に走る複数本の走査線と、該走査線に接続されたゲート電極と、前記第 1 の基板上を列方向に前記走査線との交差部近傍を避けた領域において断続的に走る複数本の第 1 信号線とを形成する工程と、

前記ゲート絶縁膜上に層間絶縁膜を形成する工程と、

該層間絶縁膜のうち少なくとも前記 TFT 用多結晶シリコン層をチャネル層とする薄膜トランジスタのドレイン上、ソース上及び前記第 1 信号線の両端部上とに第 1 から第 3 までの開口を形成する工程と、

前記第 1 の開口を介して前記層間絶縁膜上に画素電極を形成する工程と、

前記第 2 及び第 3 の開口を介して前記ソース及び前記第一の信号線間とを接続し列方向に連続した信号線を形成する第 2 信号線を前記層間絶縁膜上に形成する工程とを含む液晶表示装置の製造方法。

【発明の詳細な説明】

【○○○ 1】

【発明の属する技術分野】 本発明は液晶表示装置およびその製造方法に関し、より詳細には、各画素ごとにスイッチング素子として薄膜トランジスタ（以下「TFT」）という。等の半導体能動素子が設けられているアクティブマトリックス型液晶表示装置に関する。

【○○○ 2】

【従来の技術】 アクティブマトリックス型の液晶表示装置では、複数本の走査線が行方向に延びてあり、複数本の信号線が列方向に延びている。マトリックスの各交差部には、画素が配置されている。各画素は、画素電極と画素電極に接続されたスイッチング用の素子とを含んでいる。アクティブマトリックス型液晶表示装置の画素情報は、スイッチング用の素子によってオン/オフ制御される。表示媒体としては液晶が用いられる。

【○○○ 3】 スイッチング素子として、MIM (Metal-insulator-Metal) や三端子素子、特にゲート、ソース、ドレインを有する電界効果型薄膜トランジスタ（以下「TFT」）が用いられる。

【〇〇〇4】本明細書においては、画素電極に接続されるTFTを画素TFTと呼ぶ。画素TFTの電流端子をドレイン、信号線に接続されるTFTの電流端子をソースと呼ぶ。画素電極とTFTとを含む単位セルを画素と称し、多数の画素がマトリックス（行列）状に配置された表示部により画像を表示する。

【〇〇〇5】行方向に配置された走査線が、対応するTFTのゲート電極に接続されている。列方向に配置された複数の信号線がその列に対応する複数のTFTのソース電極に接続されている。

【〇〇〇6】走査線を駆動する回路を走査線駆動回路、信号線を駆動する回路を信号線駆動回路と称する。走査線駆動回路と信号線駆動回路とを含み、表示部を駆動する回路を周辺回路と総称する。

【〇〇〇7】各画素電極ごとにスイッチング素子としてTFTを用いるアクティブマトリックス型液晶表示装置は、一对の基板上に交差電極を形成した単純マトリックス型液晶表示装置と比較すると、多画素化に適し、画面が鮮明である。

【〇〇〇8】近年、パーソナルコンピュータの表示画面やビデオカメラのビューファインダ等の表示装置としては、アクティブマトリックス型液晶表示装置が主流となってきた。

【〇〇〇9】従来、アクティブマトリックス型液晶表示装置においては、信号線と画素電極（通常は透明電極、例えばインジウム錫酸化物（ITO））とを同一レベル（通常は層間絶縁膜上）に形成し、かつ、隣接する各画素電極の間の隙間を覆うための遮光膜として対向基板側にブラックマトリックス（以下「BM」と呼ぶ。）と呼ばれる遮光領域を形成していた。

【〇〇一〇】かかる構造では、画素電極と信号線とのマスク合わせのマージンと画素電極と対向BMとの張り合せマージンが必要となる。画素面積に対する表示に有効な画素電極の面積（いわゆる開口率）が狭くなる。画素の微細化に伴い、開口率がさらに低下する。

【〇〇一一】

【発明が解決しようとする課題】信号線よりも上のレベル（例えば層間絶縁膜の上に形成された平坦化膜上）に画素電極を形成する場合もある。画素電極領域と信号線領域とをオーバーラップさせ、信号線自身をBMとして用いる（以下「TFT側BM」と呼ぶ。）こともできる。画素電極と信号線とのマスク合わせのマージンと画素電極と対向BMとの張り合せマージンに対する要求が緩和される。

【〇〇一二】TFT側BMを用いた構造では、平坦化膜を含めた層間絶縁膜が2層以上となるため、バックライトの光が層間絶縁膜（特に界面近傍）中で吸収され明るい表示が難しくなる。特に短波長側での透過率が低下するという問題点がある。

【〇〇一三】本発明の目的は、高画質・低消費電力の明

るい液晶表示装置を提供することである。

【〇〇一四】

【課題を解決するための手段】本発明の一観点によれば、第一の基板と、該第一の基板上に行方向と列方向に整列したマトリックス状に整列配置された複数の島状のTFT用多結晶シリコン層と、該多結晶シリコン層を覆って前記第1の基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成され、行方向に沿って延在する複数本の走査線と、前記ゲート絶縁膜上に形成され、前記走査線との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線と、前記走査線及び前記第一の信号線を覆う層間絶縁膜と、該層間絶縁膜に形成され、前記第一の信号線を露出する複数の第1の開口と、前記層間絶縁膜上に形成され、該第一の開口を介して前記第一の信号線間を接続して列方向に連続した信号線を形成する複数の第二の信号線と、前記層間絶縁膜上に形成された画素電極と、前記走査線と前記信号線との交差部近傍に配置され、前記TFT用多結晶シリコン層をチャネル層とし、前記走査線と接続されたゲート電極と前記信号線と接続されたソース電極と前記画素電極と接続されたドレイン電極とを有する薄膜トランジスタとを含むアクティブマトリックス基板を有する液晶表示装置が提供される。

【〇〇一五】本発明の他の観点によれば、第1の基板上にアモルファスシリコン層を形成する工程と、該アモルファスシリコン層を結晶化して多結晶シリコン層を形成する工程と、該多結晶シリコン層を島状に加工して、ソース、ゲート及びドレインを含むTFT用多結晶シリコン層を複数形成する工程と、該TFT用多結晶シリコン層を覆い前記第一の基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上に電極膜を形成する工程と、該電極膜を加工して、前記第1の基板上を行方向に走る複数本の走査線と、該走査線に接続されたゲート電極と、前記第1の基板上を列方向に前記走査線との交差部近傍を避けた領域において断続的に走る複数本の第1信号線とを形成する工程と、前記走査線および第1の信号線を覆って層間絶縁膜を形成する工程と、該層間絶縁膜のうち少なくとも前記TFT用多結晶シリコン層をチャネル層とする薄膜トランジスタのドレイン上、ソース上及び前記第1信号線の両端部上とに第1から第3までの開口を形成する工程と、前記第1の開口を介して前記層間絶縁膜上に画素電極を形成する工程と、前記第2及び第3の開口を介して前記ソース及び前記第一の信号線間とを接続し列方向に連続した信号線を形成する第2信号線を前記層間絶縁膜上に形成する工程とを含む液晶表示装置の製造方法が提供される。

【〇〇一六】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【〇〇一七】最近、新しい結晶化技術、例えばエキシマ

レーザーなどを用いたレーザーアニール、結晶化前のアモルファスシリコンにN_iやGeをドープして結晶化を促進する技術等の低温結晶化技術が発展してきた。ガラス基板上に形成されたアモルファスシリコンをエキシマーレーザーの照射により結晶化して多結晶シリコン（ポリシリコン）を形成する技術が開発されている。

【0018】多結晶シリコン中の電子、正孔の移動度は、50から100cm²/Vs程度である。アモルファスシリコン中の電子、正孔の移動度と比較して格段に大きい。多結晶シリコン TFT を用いることにより、アモルファスシリコン TFT を用いた場合よりも高速のトランジスタが得られる。

【0019】図1から図4までを参照して本発明の第1の実施の形態によるアクティブマトリックス型液晶表示装置を説明する。

【0020】図1に、画像表示を行う表示部と表示部の制御を行う周辺回路部とを同一基板上に形成したアクティブマトリックス型液晶表示装置の断面を示す。

【0021】アクティブマトリックス型液晶表示装置Aは、概略、第1の基板1と、第1の基板1と対向する第2の基板3と、両基板1、3の間に挟持される液晶層Eとを含む。

【0022】第1の基板1上に、画像を表示するための表示部Bが形成される。表示部Bの周辺には、表示部Bを駆動する周辺回路部Cが形成される。周辺回路部Cの外周部に配置されたシール材2により、液晶材Eを収容空間内に封止する。表示部Bと周辺回路部Cとは、多結晶シリコンをチャネル層とする複数の TFT 25を含む。表示部Bでは、画素電極24が画素 TFT 25に接続されている。

【0023】第1の基板1と対向する第2の基板3上に、複数のカラーフィルタCFが形成される。カラーフィルタCFの上に形成される平坦化膜Hがカラーフィルタの凹凸を平坦化する。平坦化膜Hの上には、共通電極7が形成されている。

【0024】図2は、アクティブマトリックス型液晶表示装置Aの回路構成例を示す概略的な等価回路図である。

【0025】アクティブマトリックス型液晶表示装置Aは、横長の長方形の形状を有する表示部Bと、表示部Bの周辺に配置される走査線駆動回路C1と信号線駆動回路C2を含む周辺回路部Cとを含む。

【0026】多数の信号線11、11、11…が、表示部Bの領域内において列方向に延びている。各信号線11により、RGB等のカラー画像情報が伝達される。

【0027】多数の走査線15、15、15…が、表示部Bの領域内において行方向に延びている。各走査線15は、対応する行の画素を選択する。

【0028】信号線11と走査線15との各交点に画素

21が配置される。表示部B全体には、多数の画素21、21、21…がマトリックス状に配置されている。3個の画素で構成される各表示単位ごとにRGBの3色が表示可能である。

【0029】画素 TFT 25はダブルゲート TFT で示されている。画素 TFT はシングルゲート TFT を用いても良い。リーク電流低減にダブルゲート TFT は有効である。

【0030】画素 TFT 25のソース電極Sは、信号線11と接続されている。画素 TFT 25のゲート電極Gは、走査線15と接続されている。画素 TFT 25のドレイン電極Dには、液晶セル23と蓄積容量27とが並列に接続されている。

【0031】液晶セル23は、画素電極24と液晶層Eと共に共通電極7とを含む（図1）。

【0032】画素21に含まれる蓄積容量27は、対応する走査線の選択時間に、信号線11から注入された信号電荷を受け、次の選択時間まで蓄積する。蓄積容量27は、必要に応じて設けられる。蓄積容量27を設けない場合、例えば画素 TFT 25がリークすると画素電極の電圧が容易に変化してしまう。蓄積容量27は、蓄積された電圧を保持するのに有効である。

【0033】回路動作を簡単に説明する。

【0034】走査線駆動回路C1により駆動される複数本の走査線15、15、15…が、多数の画素21を順次列方向に走査する。行方向に並ぶ複数の画素21は、該当走査期間中に信号線駆動回路C2によって駆動される複数本の信号線11、11、11からの画像情報を受ける。

【0035】図3に、アクティブマトリックス型液晶表示装置のうち第1の基板側に設けられている信号線11と走査線15との構成を示す。説明の便宜上、他の構成要素を省略した。

【0036】図3(a)は平面図、図3(b)は図3(a)のIIIb-IIIb'線断面図である。

【0037】図3(b)に示すように、第1のガラス基板1上にゲート絶縁膜5が形成されている。ゲート絶縁膜5上に、行方向に延びる複数本の走査線15と、それと交差する方向に延びる複数本の第1の信号線11aとが形成されている。第1の信号線11aは、走査線15との交差部近傍を避けた領域に断続的に形成されている。

【0038】ゲート絶縁膜5の上には、層間絶縁膜17が形成されている。第1の開口31aが、第1の信号線11aの端部近傍の層間絶縁膜17に形成されている。

【0039】層間絶縁膜17上には、隣接する第1の開口31a間を接続するように第二の信号線11bが断続的に形成される。第一の信号線11aと第二の信号線11bとは、第1の開口31aを介して接続され、全体として列方向に延びる信号線11を構成する。

【0040】図3(a)に実線で囲まれた領域で示されるように、第二のレベルに形成される第2の信号線11bは、好ましくは、点線で示され第一のレベルに形成される走査線15と信号線11との交差部近傍にのみ形成される。信号線11と走査線15とが交差部近傍のみにおいて立体交差するブリッジ型の構造となる。

【0041】走査線15と信号線11の大部分(第1の信号線11a)とを、第一のレベル(ゲート絶縁膜5上)に形成することができる。走査線15と第1の信号線11aとは、同一材料、同一工程で形成可能である。ゲート絶縁膜5の表面を有効(効率的)に利用することができる。

【0042】層間絶縁膜17上に形成される第2の信号線11bの占有面積は小さいため、層間絶縁膜17の表面上を他の目的に有効かつ効率的に利用することができる。

【0043】層間絶縁膜17の表面のうち第2の信号線11bが占有する領域、例えば、図3(a)における実線で囲まれた領域を除く広い領域に画素電極を形成することができる。信号線と画素電極とのマスク合わせマージンを広くし、かつ、広い開口率を得ることができる。

【0044】第2の実施の形態によるアクティブマトリックス型液晶表示装置について説明する。

【0045】図4に、第1の基板側1に設けられている信号線11と走査線15との交差部を中心とした概略構造を示す。図4(a)は平面図、図4(b)は図4(a)のIVb-IVb'線断面図である。図3(a)、(b)の部分と対応する部分には、同等の符号を付し、説明を省略する。

【0046】図4(b)に示すように、第1の信号線11aは、走査線15との交差部近傍を避けた領域に列方向に断続的に形成されている。

【0047】層間絶縁膜17の第1の信号線11a上には、2つの開口31a、31aが形成される。

【0048】第2の信号線11bが層間絶縁膜17上に形成される。図示の構成において、1本の第2の信号線11bは、第1の信号線11aの両端に形成される2つの開口31aと31aと、当該第1の信号線11aと列方向に隣接する2本の第1の信号線11a、11aの隣接する端部に形成された開口31a、31aとの4カ所で接続される。

【0049】第2の信号線は、1本の第1の信号線11aと列方向に隣接する2本の第1の信号線11a、11aの一方の第1の信号線の端部から、もう一方の第1の信号線11aの端部まで延びている。

【0050】図4(a)に示すように、第1の信号線11aと第二の信号線11bとが接続され、連続した1本の信号線11を形成する。

【0051】走査線15と第1の信号線11aとを、同じレベルであるゲート絶縁膜5上に形成することができ

る。走査線15と第1の信号線11aとを同一材料、同一工程で形成でき、ゲート絶縁膜5の表面を有効に利用することができる。

【0052】信号線が上下の両レベルにおいて並列に延びている部分を多く有しており、信号線11の全体としてのシート抵抗が低減する。上下に並列に延びている部分において第1の信号線11a又は第二の信号線11bのいずれかが断線しても、信号線11全体としての電気的接続が確保できる。

【0053】本発明のアクティブマトリックス型液晶表示装置の他の実施の形態について説明する。

【0054】図5に、図3で示した構造を、実際のアクティブマトリックス型液晶表示装置Aに適用した構造を示す。

【0055】図5(a)は平面図、図5(b)はVb-Vb'線断面図、図5(c)はVc-Vc'線断面図である。

【0056】アクティブマトリックス型液晶表示装置の画像を表示する表示部Bには、画素が多数配置されている。

【0057】図5(b)に示すように、ガラス基板等の第一の基板1上には、島状のTFT用多結晶シリコン層41aが形成される。TFT用多結晶シリコン層41aは、画素TFT等のチャネル層に用いられる。TFT用多結晶シリコン層41aを覆うように、酸化シリコン膜等のゲート絶縁膜5が第一の基板1上に形成される。金属単層、金属積層等により、ゲート電極G、走査線15(図5(a))、及び第一の信号線11aがゲート絶縁膜5上に形成される。

【0058】走査線15と、走査線15から画素電極24方向へ突出する画素TFT25ゲート電極Gとは、共通の膜、例えば厚さ150nmから300nmのCr膜により形成される。第1の信号線11aもCr膜により形成することができる。走査線15、ゲート電極G及び第1の信号線11aを、Al-Nd合金を含む材料により形成してもよい。

【0059】ゲート電極G、走査線15及び第一の信号線11を覆うように、層間絶縁膜17がゲート絶縁膜5上に形成されている。層間絶縁膜17は、例えば膜厚が2μm程度の感光性ポリイミドにより形成される。

【0060】第二の信号線11bと画素電極24とが層間絶縁膜17上に形成される。

【0061】画素電極24は、例えば厚さ100nmのITO膜で形成される透明電極である。第2信号線11bは、たとえばMo/AI(Moの厚さは50から100nm程度、AIの厚さは200から300nm程度)により形成される。

【0062】層間絶縁膜17には、複数の開口31が形成されている。

【0063】第1の信号線11aの端部上に第1の開口

31aが形成され、第1の信号線11aと第2の信号線11bとを接続する。TFT用多結晶シリコン層41aからなる画素TFT25のチャネル層41aのドレイン領域D上に第2の開口31bが形成され、層間絶縁膜17及びゲート絶縁膜5を介してドレイン領域Dと画素電極24とを接続する。

【0064】多結晶シリコン層41aのソース領域S上に第3の開口31cが形成され、ソース領域Sと第2の信号線11bとを接続する。

【0065】図5(c)に示すように、各画素電極24間の列方向に延びる隙間26bの下方で、第1の信号線11aが列方向に延び、隙間26bを塞ぐように配置される。同じ列上に隣接して並べられた画素電極24、24、24間の隙間領域には、走査線15が形成されている。

【0066】図5(a)に示すように、第1の基板1側の層間絶縁膜17上には、実線で示される画素電極24と第2の信号線11bとが形成されている。画素電極24は、略長方形の形状を有している。複数の画素電極24同士は、マトリックス状に配置されている。隣接する画素電極24、24間には、行方向及び列方向に延びる隙間26a、26bが形成される。

【0067】隣接する画素電極24、24間の行方向に延びる隙間26aの下には、隙間26aに対応する領域を含み、さらに両側に張り出るように形成された走査線15が行方向に延びている。

【0068】略長方形の画素電極24の四隅に切り欠け部が形成される。列方向及び行方向に隣接する4つの画素電極24の四隅の切り欠け部が合わさって開口部37が形成される。

【0069】実線で示される第2信号線11bは、開口部37の領域内に形成されている。

【0070】第3の開口31cを含む領域には、走査線15、第1信号線11a、及び第2信号線11bのいずれにも覆われていない領域が存在する。開口部37を含む領域51には、第2基板3(図1)上に、対向ブラックマトリックス51が形成される。

【0071】上記構造においては、第2の信号線11bは走査線15上を通り、層間絶縁膜17により空間的に分離されているため、信号線と走査線とが短絡することはない。

【0072】隣接する画素電極24間で、行方向に形成される隙間領域26aと走査線15とをオーバラップさせる。隣接する画素電極24間で、列方向に形成される隙間領域26bと第1の信号線11a領域とをオーバラップさせる。信号線11aと走査線15とがTFT側ブラックマトリックスBMとしての機能を兼ねる。

【0073】対向BMのみで画素電極24間の隙間(26a、26b)を覆う場合と比較して、画素電極24と対向BM(51)との合わせマージンが緩くなる。基板

上の画素電極24の面積を広くとることができ、画素の有効開口率が向上する。

【0074】信号線11を層間絶縁膜17上の配線のみで形成し、画素電極24を同一レベルに作成した場合は、このようなBM構造を形成することはできない。

【0075】画素の周縁部においては、液晶配列乱れが生じやすい。画素電極24の周縁部を含む領域にBMを形成することにより、画素電極24の周縁部における液晶配列の乱れに起因する画素の表示乱れを防止する。表示部Bに配置された多数の画素21(図1)間の色分離を良好にすることができます。液晶表示装置の発光がより鮮明になる。

【0076】層間絶縁膜が単層で形成されるため、構造の簡単化が可能になる。2層以上の層間絶縁膜を形成する場合と比べて光の透過率も高くなる。

【0077】図6に、アクティブマトリックス型液晶表示装置の変形例を示す。

【0078】図6(a)は、図5(b)に対応する図であり、図6(b)は、図5(c)に対応する図である。図5(b)、図5(c)に示す部材と同等の部材は、同等の符号を付して説明を省略する。

【0079】図6(a)に示すように、このアクティブマトリックス型液晶表示装置の変形例では、パッドメタル85が開口31b内に充填されている。パッドメタル85は、画素電極材料であるITOより低抵抗の材料、例えばMo又はTiにより形成される。低抵抗のパッドメタル85により画素電極24と画素TFT25のドレイン領域Dとが電気的に接続される。ITOのみで接続する場合と比べて接続部分の電圧降下が防止できる。

【0080】パッドメタルとしてはAlを用いても良い。Alを用いる場合には、電池効果によるAlの腐食現象を防止するため、例えばMo等のバリアメタルを介在させることができが好ましい。同様の効果が得られれば、他の方法を用いても良い。

【0081】図6(b)に示すように、画素電極24、24の隙間26bに、第1の信号線11aがオーバラップする。

【0082】図7は、本発明の他の実施の形態によるアクティブマトリックス型の反射型液晶表示装置Xの断面図を示す。図7(a)は平面図、図7(b)は図7(a)のV11b-V11b'線断面図、図7(c)は図7(a)のV11c-V11c'線断面図である。前述の実施の形態と異なる点を主に説明する。

【0083】蓄積容量27に関しては、図7及び図8においても示されているが、詳細な説明は図9において説明する。

【0084】図7(b)に示すように、第2信号線11bと画素電極24とが同一金属材料で形成される。金属材料としては、Mo/Alの多層膜を用いる。MoとAlとの各膜厚は、50nmから100nm及び200n

mから300nmである。Mo/AIの多層膜は、高反射率を有する不透明な材料であり、反射型の液晶表示装置の反射面として機能する。

【0085】Mo膜は、TFT用多結晶シリコン層41aに対するオーミックコンタクト用の材料として働く。加えて、Mo膜は、AIとTFT用多結晶シリコン41aとの間の相互拡散を防止するバリアメタルとして働く。

【0086】図7(a)に示すように、隣接する画素電極24の行方向に延びる隙間26aを含む領域には、走査線15が形成される。画素電極24の列方向に延びる隙間26bを含む領域には、第1の信号線11aが形成される。

【0087】図7(c)に示すように、隣接する画素電極24の列方向の隙間26bを含む領域には、第1の信号線11aが形成される。

【0088】交差部において、第2の信号線11bと走査線15とが層間絶縁膜17により空間的に分離される。信号線11(11a、11b)と走査線(15)とが短絡することはない。

【0089】本実施の形態による反射型液晶表示装置では、画素電極24と第2信号線11bとを同一工程により形成することも可能である。同一工程で形成した場合には、画素電極24と第2信号線11bとのマスク合わせのマージンを考慮する必要がない。開口率を一層向上させることができるとなる。

【0090】図8に、反射型液晶表示装置Xの変形例を示す。図8(a)は平面図、図8(b)は、図8(a)のX11b-X11b'断面図である。

【0091】図8(b)に示すように、第2信号線11bと第1信号線11aとの接続及び第2信号線11bとドレイン領域Dとの接続が、同一の開口91内で形成される。

【0092】1つの開口91を第2信号線11bと第1信号線11aとの接続及び第2信号線11bとドレイン領域Dとの接続用の開口として兼用できるため、開口の占有面積及び開口同士の配線が占める面積が減少する。画素の開口率を一層向上させることができる。

【0093】図9を参照し、反射型液晶表示装置Xの変形例による蓄積容量27の構成について説明する。

【0094】図9(a)は、RGBに対応する3画素を含む等価回路図である。図9(b)は、図9(a)の素子構造の平面図、図9(c)は図9(b)のXc-Xc'線断面図である。

【0095】図9(a)に示すように、RGBの各画素21、21、21において、画素TFT25のドレインDと、上記の各画素21、21、21と列方向に隣接する画素の走査線15bとの間に、蓄積容量27が形成されている。

【0096】画素電極24は、開口部95を介してTF

T用多結晶シリコン層41と接続される。

【0097】第1の基板1上に形成される蓄積容量用多結晶シリコン層41aと、その上のゲート絶縁膜5と、列方向に隣接する走査線15bとによりMOS容量が形成される。

【0098】画素電極24と、列方向に隣接する画素の走査線15bとが一部でオーバラップしている。一の画素21と列方向に隣接する画素の走査線15bが、一の画素21の画素電極24下に突出する突出部15cを有する。突出部15cは、画素電極との間に容量を形成する。

【0099】図9(c)に示すように、突出部15cを含む領域下には、さらに第一の基板1(図9(c))上に形成された蓄積容量27用の多結晶シリコン層41bとが形成されている。

【0100】蓄積容量27用の多結晶シリコン層41bは、その上に形成された開口95を介して一の画素の画素電極24と接続されている。

【0101】走査線15bの突出部15cと、蓄積容量27用の多結晶シリコン層41bと、それらの間に形成されたゲート絶縁膜5とによりMOS容量が形成される。MOS容量により、画素電極24と接続される蓄積容量27が形成されている。

【0102】蓄積容量27を画素電極24の下部領域に形成できるため、表示部領域における面積の有効利用が可能となる。

【0103】図10から図12までに、上記液晶表示装置のうち表示部Bの製造工程を示す。図10は、図7(a)のXc-Xc'線断面を示す。

【0104】図10(a)に示すように、プラズマCVD法を用いて、第1に基板1上に下地の絶縁膜(SiO2膜)55を成膜する。第1の基板1は、例えばコーニンググラスワークスの#1737のガラスである。プラズマCVDに用いる反応ガスは、例えばSiH4とN2Oとの混合ガスである。絶縁膜(SiO2膜)55の膜厚は、例えば30nmから100nmの間の値であり、好ましくは50nm程度である。

【0105】以下、説明を簡単にするために、第1の基板1上に下地の絶縁膜(SiO2膜)55が形成された状態を、第1の基板1と称する。

【0106】図10(b)に示すように、第1の基板1上に、アモルファシリコン膜41をプラズマCVD法により成膜する。アモルファシリコン膜41の膜厚は、30から100nm、好ましくは50nm程度である。

【0107】エキシマパルスレーザを用いた結晶化法により、アモルファシリコン膜41を結晶化して多結晶シリコン膜を形成する。エキシマパルスレーザの発光波長は308nmである。レーザーのエネルギー密度は、例えば300mJから400mJ/cm²である。

【O 108】図10 (c) に示すように、周知のフォトリソグラフィー技術によりレジストマスクの形成を行う。フォトレジストマスクR1、R2を用いて、フッ素系の反応ガスを用いた反応性イオンエッティング (RIE) 法により多結晶シリコン層41 aからなる TFT 用多結晶シリコン層41 aを島状に形成する。エッティング後に、フォトレジストマスクR1、R2を除去する。

【O 109】図10 (d) に示すように、ゲート絶縁膜としてSiO₂膜5をプラズマCVD法により成膜する。プラズマCVD用の反応ガスとしては、SiH₄とN₂Oとの混合ガスを用いる。ゲート絶縁膜5の膜厚は、80から300 nm、好ましくは150 nm程度である。

【O 110】図10 (e) に示すように、ゲート絶縁膜5上にCr膜57をスパッタリング法により形成する。Cr膜57の厚さは、150から300 nm、好ましくは200 nmである。

【O 111】図11 (f) に示すように、フォトリソグラフィー技術を用いて、ゲート電極 (G) 及び走査線 (15) を形成するためにレジストマスクR3からR7を形成する。

【O 112】図11 (g) に示すように、レジストマスクR3からR7までをマスクとして、Cr膜57をウェットエッティング法により加工する。次に同じレジストマスクR3からR7までをマスクとして、ゲート酸化膜5をドライエッティングにより異方的にエッティングする。ゲート絶縁膜5のパターンは、レジストマスクを転写した形状を有し、ウェットエッティングでサイドエッチされたCr膜のパターンから左右に張り出している。フォトレジストマスクを除去する。画素TFT25のゲート電極G、走査線15及び第1の信号線11 aが形成される。行方向に隣接する画素の走査線15 bも示されている。

【O 113】図12 (h) に示すように、ゲート電極Gをマスクとして画素TFT用多結晶シリコン層41 aに、イオン注入法によりn型不純物であるPを導入する。5%のPH₃をイオン注入用の原料ガスとして用いる。イオン注入条件は、加速エネルギーが80 keV、ドーズ量が5×10¹² cm²である。低濃度のn型活性層がゲート電極Gの外側に形成される。

【O 114】ゲート電極 (G) およびゲート絶縁膜5をマスクとしてイオン注入法により高濃度のPを導入する。5%のPH₃を原料ガスとして用いる。加速エネルギーは10 keV、ドーズ量は5×10¹⁴ cm²である。画素TFT用多結晶シリコン層41 aに、高濃度のn型コンタクト層 (ソースおよびドレイン) がゲート絶縁膜5の外側に形成される。

【O 115】上記の工程によりイオン注入した不純物原子をエキシマレーザー法を用いて活性化する。エキシマレーザの発光波長は308 nm、エネルギー密度は230から280 mJ/cm²程度である。

【O 116】高不純物濃度のソース及びドレイン領域と、低不純物濃度のチャネル層と、これらの間に形成される中間の不純物濃度を有する層とが形成される。

【O 117】以上の工程により、TFTのチャネル層のうち少なくともゲートとドレインとの間のチャネル層の不純物濃度が、コンタクト領域の不純物濃度よりも低いLDD (Lightly Doped Drain) 構造を有するTFT25を形成する。

【O 118】図12 (i) に示すように、上記構造の上に厚さ2 μm程度の層間絶縁膜 (平坦化膜) 17を形成する。層間絶縁膜17用の材料は、好ましくは感光性ポリイミドである。層間絶縁膜17の材料として、感光性ポリイミドの他にアクリル系の樹脂膜、有機溶媒に溶かした酸化珪素系の微粒子を基板に塗布した後、乾燥させて形成した絶縁性の膜などを用いても良い。

【O 119】フォトリソグラフィー技術を用いて、層間絶縁膜17のうち第1信号線11 a、走査線15、画素TFT25のソース領域S及びドレイン領域D上に開口 (コンタクトホール: CH) を形成する。次行の画素の走査線15 bの側部に形成されているn型の多結晶シリコン層61 a上にも開口 (CH) を形成する。

【O 120】図12 (j) に示すように、層間絶縁膜17上に、スパッタリング法によりMo/Ti層を堆積する。Mo層の厚さは、50 nmから100 nm程度であり、Ti層の厚さは200 nmから300 nm程度である。フォトリソグラフィー技術を用いて加工用のレジストマスクを形成する。塩素系のガスを用いたドライエッティング法と、ウェットエッティング法とを用いて第2信号線11 bを形成する。層間絶縁膜上にITOを厚さ100 nm程度堆積する。ITOにより透明な画素電極24を形成する。

【O 121】以上の工程により、アクティブマトリック型液晶表示装置のうち第1の基板側の構造を形成する。

【O 122】上記の工程によれば、層間絶縁膜を単層で形成することができる。工程が簡略化する。信号線と画素電極とが異なるレベルに形成される従来の構造と比較して、第二層目の層間絶縁膜を形成する工程と、第二層目の層間絶縁膜に開口を形成する工程が不要になる。

【O 123】層間絶縁膜としてポリイミド等の樹脂を用いて平坦化を行えば、プラズマフリー又はスパッタフリーのプロセスが可能となる。基板中、半導体層中へのダメージの導入が防止できる。

【O 124】多結晶シリコンTFTを用いたアクティブマトリックス型液晶表示装置においては、表示部Bと周辺回路Cとを第1の基板上に一体形成する構造が好ましい。

【O 125】図13は、図10から図12までに示した表示部の工程と対応する周辺回路部の工程を示す。

【O 126】第一の基板上にゲート電極を形成するまで

の工程に関しては、図10（a）から図10（e）までに示した表示部の製造工程と同様である。

【O127】周辺回路部Cは、周辺回路用TFTを主要構成要素として用いる周辺回路が形成されるべき領域と引き出し端子が形成されるべき領域とを含む。

【O128】図13（a）に示すように、第一の基板1上に、島状の多結晶シリコン膜41a、41cが形成される。島状のTFT用多結晶シリコン膜41a、41cを覆うように、第一の基板1上には、ゲート絶縁膜5が形成されている。ゲート絶縁膜5上にCr膜57が形成されている。その後、フォトレジストマスクを除去する。

【O129】図13（b）に示すように、フォトレジストマスクR11、R12、R13をマスクとして、ゲート電極用のCr膜57を加工する。

【O130】図13（c）及び図13（d）に示すように、第一の基板1上に周辺回路用のnチャネルのTFT75aとpチャネルのTFT75bとが形成される。nチャネルのTFT75aとpチャネルのTFT75bとの多結晶シリコン層41a及び41cは、別々の不純物イオン導入工程を経て形成される。nチャネルTFT75aは、画素TFT25と同時に形成してもよい。pチャネルTFT75bに導入される不純物はボロン（B）である。低濃度のB導入用のガスは、5%のB2H6である。イオン注入の加速エネルギーは60kV、ドーズ量は $1 \times 10^{14} \text{ cm}^2$ である。

【O131】高濃度のp型不純物導入用のガスも、5%のB2H6である。加速エネルギーは10keV、ドーズ量は $2 \times 10^{15} \text{ cm}^2$ である。

【O132】p型及びn型の不純物を活性化する熱処理は、画素TFT25のための不純物活性化の熱処理と同時に実行することができる。

【O133】以上の工程により、周辺回路部Cには、LDD構造のn型TFT75a及びp型のTFT75bが形成される。

【O134】周辺回路部Cの周縁には、ゲート電極膜と同じ材料、例えばCr膜により形成された引き出し用の引き出し端子81が形成される。引き出し端子81は、表示部Bの第1信号線11aと同時に形成しても良い。第2信号線11bと同時に形成してもよい。または第1信号線11aと第2信号線11bとの両方を用いて形成しても良い。

【O135】図13（e）に示すように、層間絶縁膜17を形成する。

【O136】nチャネルTFT75a、pチャネルTFT75bのソース及びドレイン領域の上及び引き出し端子81の上に開口CHを形成する。

【O137】図13（f）に示すように、開口CHを介して層間絶縁膜17上に所定の配線Lを形成する。

【O138】引き出し端子81を第1信号線11aと同

一工程で形成すれば、引き出し端子81、p型及びn型のTFT75a、75b等は、第2信号線11bと同じ材料、同じ工程で接続可能である。

【O139】上記図10から図13で説明した工程を用いることにより、表示部Bと周辺回路部Cとを一体化して形成可能である。

【O140】以下に、層間絶縁膜17に要求される特性について説明する。

【O141】表面の凹凸をカバーして平坦化する能力に優れていることが好ましい。

【O142】透過率として95%以上（膜厚1.5μm以下）が好ましい。

【O143】耐熱性として230°C以上を有していることが好ましい。尚、耐熱性に関しては、アクリル系の樹脂膜で200から250°C、ポリイミド系樹脂膜で250から300°C、メチル基を有するSiO2膜で、400°C以上が得られる。

【O144】バルクの抵抗率としては、 $10^{13} \Omega \cdot \text{cm}$ 以上を有していることが好ましい。

【O145】絶縁破壊電圧強度として、 $2 \text{ MV}/\text{cm}$ 以上の値を有していることが好ましい。

【O146】上下の配線の交差領域（オーバラップ領域）における寄生容量を低減するためには、層間絶縁膜の比誘電率は低い方が望ましい。実際には、比誘電率が3から3.5程度であればよい。層間絶縁膜の膜厚を2μmと仮定した場合、1画素あたりの寄生容量が数fFとなり、ほとんど無視できる。

【O147】層間絶縁膜としてプラズマCVD法により成長したSiNxやSiO2を用いると、比誘電率はそれぞれ5から9及び3.8から4.5程度である。堆積可能な膜厚は300nmから800nm程度である。従って、上下配線間の寄生容量が大きくなる。

【O148】層間絶縁膜として厚い樹脂膜を用いると、画素電極と信号線との間及び隣接画素電極間のカップリング容量が小さくなる。クロストークの影響が低減でき、表示品質が向上する。

【O149】層間絶縁膜の耐熱性は、A1配線の耐熱性を考慮して300°C以下が望ましい。

【O150】平坦化層間絶縁膜の形成工程としては、通常のフォトリソグラフィー工程と同様の工程を用いればよい。スピンコーティングにより塗布するため、ステップカバレッジが良好であり、直径1μm以下の小さなダスト等による上下配線間の短絡に起因する表示不良の発生率が非常に低くなる。

【O151】周辺回路部のドレイン配線が平坦化膜上に形成されるため、段差に起因する断線の発生率が低減し、不良の発生率が非常に低くなる。

【O152】上記の平坦化膜の形成工程を用いれば、表示部及び周辺回路部に対してプラズマCVD工程やスパッタリング工程に起因するダメージが少なくなる。図

14及び図15に、本発明の他の実施の形態による横電界型（IPSモード）の液晶表示装置を示す。

【O153】図14に示すように、横電界型液晶表示装置Yにおいては、第1の基板1上に、画素電極24と共に電極7とが形成される。第2の基板3上には、カラーフィルタCFが形成され、その上には平坦化膜Hが形成される。第1の基板1の下には、偏光板104が形成されている。

【O154】画素電極24と共に電極7との間に所定の電圧を印加すると、液晶材E中に基板1表面と平行な方向（横方向）に電界が生じる。

【O155】図15に、横電界型液晶表示装置Yの構造を詳細に示す。

【O156】図15（a）は、横電界型液晶表示装置Yの平面図である。図15（b）は、図15（a）のXVb-XVb'線断面図である。図15（c）は、図15（a）のXVc-XVc'線断面図である。

【O157】図15（a）及び図15（b）に示すように、第一の基板1上には、島状のTFT用多結晶シリコン層41a、41bが形成されている。

【O158】第一の基板1上にTFT用多結晶シリコン層41aを覆うゲート絶縁膜5が形成されている。ゲート絶縁膜5上に、行方向に延びるとともに画素TFTのゲート電極Gを兼ねる走査線15、15と、列方向に断続的に延びる第一の信号線11aとが形成されている。これらの電極を覆うように、ゲート絶縁膜5上に層間絶縁膜17が形成されている。

【O159】層間絶縁膜17には、第一の開口121aと第二の開口121bとが形成されている。第一の開口121aは、第一の信号線11a上に形成されている。第二の開口121bは、多結晶シリコン層41aのドレイン領域D上に形成されている。

【O160】第一の信号線11aと第二の信号線11bとは、開口121aを介して接続され、列方向に連続する信号線11を形成する。多結晶シリコン層41aのドレイン領域Dと画素電極24とは、開口121bを介して接続される。

【O161】共通電極7は、列方向に並ぶ複数画素21間に共通に列方向に延びる第一の部分7aと、第一の信号線11aに沿って形成される分枝部分7b、7cと、第一の部分と前記第2の部分とを接続する接続部分7dとを有する。中央に配置される第1の部分7aは、列方向に並ぶ複数の画素21、21、21にまたがって形成される。

【O162】分枝部分7b、7cは、第1の部分7aの両側に形成され、1画素領域内において列方向に並ぶ。行方向に接続部分7dが延びて、第1の部分7aと、分枝部分7b、7cとを接続する。

【O163】信号線11aの上を分枝7b、7cが覆う。

【O164】信号線11を層間絶縁膜17上の配線のみで形成すると、共通電極7b、7cを別の領域に作らなければならない。開口率が低下することになる。

【O165】図15（c）に示されるように、層間絶縁膜上17上に共通電極7と画素電極24とが行方向に交互に形成される。

【O166】このアクティブマトリックス型液晶表示装置では、画素電極24と共に電極7とが同じ層間絶縁膜17上に形成される。

【O167】画素電極24と共に電極7との間に電圧を印加した際に横方向に形成される電界が、液晶分子の配向を制御する。加えて画素電極24の端部からの光の漏れが防止される。

【O168】すなわち、横電界モードの液晶表示装置の場合には、液晶の分子が水平面に沿って回転する。横電界が存在しない場合に光が透過せず黒を表示する。横電界が存在する場合には、光が透過するため白を表示する。液晶分子が水平面に沿って回転するため、画素電極24と共に電極7を同じ面に設けることが望ましい。画素電極24と共に電極7とが同じ面上に設けられていない場合には、画素電極24のエッジ領域と共に電極7との間の段差に起因する縦方向の電界が生じる。縦方向の電界は、光の漏れや透過率の不均一性等の問題を生じ、表示不良の原因となる。

【O169】本実施の形態による液晶表示装置では、上記の問題が生じにくい。

【O170】第一の信号線11aが共通電極7によりシールドされるため、第一の信号線11aからの電界の漏れに起因する液晶表示の乱れを防止でき、高画質の表示が可能となる。

【O171】単層の層間絶縁膜が用いられるため、画素部形成工程が簡略化できる。

【O172】また、画素TFT25等の画素電極24以外の領域が画素電極24と共に電極7とにより遮蔽される。対向基板3に帯状のBM構造（図15（a））を形成することにより、第1の基板1と第2の基板3とを張り合わせる際に、ロット間の開口率の変動を防止することができる。

【O173】次に、アクティブマトリックス型液晶表示装置の具体的な回路構成と動作について説明する。アクティブマトリックス型液晶表示装置としては、上述の実施の形態による液晶表示装置が用いられる。

【O174】図16に、周辺回路一体化液晶表示装置の具体的な回路例を示す。図16は、図2の回路において信号線駆動回路C2の構成例を示す。

【O175】点順次方式による動作を行う駆動回路である。

【O176】周辺回路一体化液晶表示装置Aは、表示部Bと周辺回路部Cとを含む。

【O177】表示部Bには、多数本の信号線11、1

1, 11 . . . が列方向に延びている。3本のビデオ信号線 151a, 151b, 151c は、RGB 等のカラーパターン情報を伝達する。

【O178】カラー画像情報は、アナログスイッチ 301 を介して信号線 11 へ伝達される。ビデオ信号線が 3 本なので 1 度に 3 つのアナログスイッチをオンにし、1 組の RGB 信号を伝達する。次に、隣の 3 つのアナログスイッチをオンにして次の 1 組の RGB 信号を伝達する。1 本の走査線分を表示した後、次の走査線を選択する。

【O179】図 16 に示すように、信号線駆動回路 C2 は、アナログスイッチ 301 と、アナログスイッチ 301 を制御するアナログスイッチ制御部 311 と、アナログスイッチ 301 とアナログスイッチ制御部 311 とを接続するアナログスイッチ制御信号線 315 を含む。

【O180】ビデオ信号発生部から発生されたビデオ信号は、ビデオ信号線 151 を介してアナログスイッチ 301 に伝達される。アナログスイッチ制御部 311 は、アナログスイッチ 301 を制御することにより、画素 TFT 25 のソース電極 S に伝達するビデオ信号を制御する。

【O181】このようにして点順次の駆動が行われる。

【O182】表示部 B には、多数本の走査線 15, 15, 15 . . . が信号線 11 と交差して行方向に走っている。信号線と走査線との各交点に画素 21 が配置される。表示部 B 全体には、合計信号線の本数 × 走査線の本数分の画素 21 がマトリックス状に配置されている。

【O183】3 個の画素で構成される各表示単位ごとに RGB の 3 色が表示可能である。

【O184】以下に、周辺回路部 C の構成について説明する。前述のように、周辺回路部 C は、走査線駆動回路 C1 と信号線駆動回路 C2 を含む。

【O185】図 17 に、多段構成の走査線駆動回路 C1 の駆動回路の回路図を示す。図 17 (a) は、走査線駆動回路 C1 のブロック図、図 17 (b) は、駆動回路のうち 1 段分の具体的な回路図を示す。

【O186】図 17 (a) に示すように、走査線駆動回路 C1 は、シフトレジスタ SR とマルチブレクサ MUX と、マルチブレクサ MUX の出力信号をバッファリングするバッファ回路 BF を含む。複数の走査線に対し順次選択される走査線をシフトさせる信号を発生する。

【O187】図 17 (b) に示すように、1 段分の走査線駆動回路は、走査方向の切り替えをするための双方向スイッチ部 201 と、走査信号を生成するためのシフトレジスタ部 215 と、走査信号のタイミングを決めるためのマルチブレクサ部 217 と、駆動能力を増強するための 3 段の直列インバータ 221a, 221a, 221a を含む出力バッファ部 221 とを含む。

【O188】シフトレジスタ部 215 に含まれたフリップフロップ回路 225 の電源電圧は VDD と GND である。フリップフロップ回路 225 からの出力は、NAN

D ゲートおよびインバータを介してマルチブレクサ部 217 に出力される。

【O189】マルチブレクサ部 217 において、フリップフロップ回路 225 からの出力信号は、4 本の出力信号線に分岐される。分岐された 4 本の出力信号は、マルチブレクサ信号 MP1 ~ MP4 との論理積をとった後、出力バッファ部 221 に供給される。

【O190】出力バッファ部 221 は、マルチブレクサ部 217 からの 4 信号 MP1 から MP4 までについて、負荷に対する駆動能力を増加させて出力する。出力バッファ部 221 は、4 本の出力端子を有している。出力バッファ部 221 の各出力端子は、それぞれ、走査線を介して表示部 B の画素 TFT 25 のゲート G に接続される。

【O191】走査線駆動回路 C1 の回路動作を説明する。走査線駆動回路 C1 は、クロック信号 C またはその反転信号である (-C) に同期させて走査線 15 を順次走査する。一本の走査線 15 に連結されている全ての画素 TFT 25 は、一時的に一斉にオン状態にされる。各行ごとに順次走査されるため、走査線駆動信号は、例えば 1 画面当たり 600 個であり、シフトレジスタ部 215 は、マルチブレクサ前の 1 画面当たり 150 個の信号を形成すればよい。走査線駆動回路 C1 のシフトレジスタ部 215 のクロック信号 C およびその反転クロック信号 (-C) のパルス周波数は 40 kHz から 60 kHz である。

【O192】図 18 及び図 19 に基づいて信号線駆動回路 C2 の構成について説明する。

【O193】図 18 (a) は信号線駆動回路 C2 のブロック図である。図 18 (b) は、アナログスイッチ制御部 311 の構成を示す回路図である。

【O194】図 18 (a) に示すように、信号線駆動回路 C2 は、シフトレジスタ SR とバッファ回路 BF とからなるアナログスイッチ制御部 311 と、バッファ回路 BF の出力によってオン／オフ制御されるアナログスイッチ 301 を含む。

【O195】図 18 (b) はシフトレジスタ SR とバッファ回路 BF の回路図を示す。多段のフリップフロップ回路 321, 321, 321 . . . が直列に連結されて構成されるシフトレジスタ回路 325 と、シフトレジスタ回路 325 を構成するフリップフロップ回路 321 の各出力 Q に接続されているバッファ回路 331 と、バッファ回路 331 の出力とアナログスイッチの制御電極とを結ぶアナログスイッチ制御信号線 315 を含んでいる。

【O196】多段のフリップフロップ回路 321, 321, 321 のクロック端子には、各段に共通のクロック信号 CK 及び反転クロック信号 (-CK) が入力される。多段のフリップフロップ回路のうち、初段のフリップフロップ回路 321 の入力端子 D には、SP 信号が入

力する。初段のフリップフロップ回路の出力端子Qから、第1段目のフリップフロップ回路325の出力信号が供給され、第1段目のバッファー回路331に入力される。

【0197】さらに、初段のフリップフロップ回路321の出力Qは、次段（第2段目）のフリップフロップ回路321の入力端子Dに入力される。第2段目のフリップフロップ回路321の出力は、第2段目のバッファー回路331の入力端子に接続される。以下、順次、フリップフロップ回路321の出力は次段のフリップフロップ回路321の入力端子に接続されるとともに、次段の出力バッファー回路331の入力端子に接続される。

【0198】バッファー回路331は、インバータ331aから331eの5段の直列インバータを含む。

【0199】図19は、シフトレジスタ回路を構成する1段のフリップフロップ回路321の回路図（図19(a)）と、バッファー回路331（図19(b)）の回路図である。

【0200】フリップフロップ回路321は、直列に接続された3段のCMOS回路341a、341b、341cを含む。電源電圧はVDD、GNDである。第1段目、第3段目のCMOS回路341a、341cは、クロックドインバータである。

【0201】第1段目のCMOS回路341aの入力は、シフトレジスタ回路325全体の入力端子Dに接続されている。第2段目のCMOS回路341bはインバータであり、その入力は、第1段目のCMOS回路341aの出力端子と連結されている。第2段目のCMOS回路341bの出力は、第3段目のクロックドインバータの入力端子と連結している。

【0202】図19(b)に、バッファー回路331の詳細を示す。

【0203】バッファー回路331は、CMOSインバータ回路341a、341b、341c、341d、341eの5段の直列接続により構成されている。バッファー回路331の入力は、各フリップフロップの出力Qに接続されている。

【0204】フリップフロップ回路の入力端子Dに信号が入力されると、クロック信号CKおよびクロック信号の反転信号(-CK)に応じて、出力信号Qが出力される。

【0205】各段のフリップフロップ回路321（図18）の出力Qは、出力バッファー回路を通して各アナログスイッチ301（図16）を制御する。フリップフロップ回路の各段の出力信号Q（図18）は、次段の入力Dに出力される。

【0206】アクティブマトリックス型液晶表示装置の回路動作について説明する。

【0207】走査線駆動回路C1が1本の走査線15を選択し、その走査線15にゲートが接続される画素TFT

T25が全て導通状態になった時点で、シフトレジスタ回路の第1段目のフリップフロップ回路321に接続される出力バッファー331の出力端子から出力されるアナログスイッチ制御信号によりアナログスイッチ301が制御される。

【0208】アナログスイッチ301がオンされると、表示部Bの走査線15からの信号により既に導通状態になっている画素TFT25を介して、ビデオ信号線15のうち151a(R)、151b(G)、151c(B)の各表示信号の内容に応じて、各画素セル（液晶セル23と蓄積容量27）に電荷を供給し、画素に画像情報を書き込む。

【0209】シフトレジスタ回路321が、第1段から第n段まで順次制御信号を出し、複数のアナログスイッチ301を、順次“オン”させる。ビデオ信号線151からのビデオ信号（表示信号）は、1段のフリップフロップ回路321に対応する複数の画素に分割されて、最終的に全ての画素に転送される。

【0210】走査線駆動回路C1が次の走査線15を選択すると、それまで選択されていた画素TFT25は、非導通状態になる。液晶セル23と蓄積容量27とは、信号線11から電気的に切断され、走査線15が順次走査される1水平期間中、供給された画像情報を次の走査まで保持する。

【0211】以上に述べた動作を順次繰り返すことにより画像表示を行う。

【0212】信号線駆動回路C2中のシフトレジスタの動作速度は、4.88MHz程度であり、走査線駆動回路のシフトレジスタと比較して高速である。

【0213】図20に、ブロック順次形式のアクティブマトリックス型液晶表示装置の等価回路図を示す。ブロック選択順次駆動方式の周辺回路一体化アクティブマトリックス型液晶表示装置Zの等価回路図である。好ましくは、第1から第3までの実施の形態による液晶表示装置が用いられる。

【0214】等価回路図で示される液晶表示装置Zにおける液晶パネルPの画素フォーマットは、XGA（画素数1024×RGB×768）である。

【0215】液晶パネルPは、表示部Bにおいて列方向に延びる信号線401と、行方向に延びる走査線411と、信号線401と走査線411との交点に形成される画素421とを含む。

【0216】信号線401は、第1から第3の実施の形態において説明したように、走査線411と同レベルに形成される第1の信号線401aと、層間絶縁膜上の第2のレベルに形成される第2の信号線401bとを含んでいる。この回路では、ダブルゲートTFTやマルチゲートTFTを用いても良い。

【0217】画素421は、ダブルゲート型画素TFT

425と、液晶セル423と、隣接する画素421の走査線411に接続される蓄積容量427とを含んでいる。

【0218】横長の長方形の表示部Bの周辺には周辺回路部Cが設けられている。周辺回路部Cは走査線駆動回路C1と信号線駆動回路C2とを含む。

【0219】表示部Bの左側には、走査線駆動回路C1が配置され、表示部Bの上側には、信号線駆動回路C2が配置されている。

【0220】表示部Bは、第1ブロックBLK1から第8ブロックBLK8までの8個のブロックに分割されている。表示部Bを行方向に走る信号線401の総本数は、3072(384×8ブロック)本である。

【0221】計3072本の信号線は、1から384までが第1ブロックBLK1に、385から768までの信号線が第2ブロックBLK2に割り当てられる。同様に、第1から第8までの各ブロックBLK1からBLK8までに対してそれぞれ割り当てられる。外部ドライバLS1501中に、D-A変換器、レベル変換器等の信号処理回路が含まれる。

【0222】情報機器等からのデジタル信号DSが、線順次方式の外部ドライバLS1501に入力される。アナログの階調信号が384本の共通信号線D1からD384に出力される。

【0223】共通信号線D1からD384までは、第1から第8までのブロックに分割された表示部Bの列方向に並ぶ複数の画素TFT425のソースSと接続されている。

【0224】共通信号線(D1からD384)とソースSとの間には、共通信号線の本数に相当する数のCMOS型TFT型アナログスイッチ451が介在する。

【0225】第1から第8までの各ブロックBLK1～BLK8に対応するCMOS型TFTアナログスイッチ451の制御端子451aは、各ブロックごとに共通である。アナログスイッチ制御部455からの出力を伝達する制御信号線BL1からBL8は、各ブロックごとに共通であるCMOS型TFTアナログスイッチ451の制御端子451aと接続される。

【0226】ブロックBLK1からBLK8までの全てのCMOS型TFT型アナログスイッチ451は、アナログスイッチ制御部455により制御される。

【0227】アナログスイッチ制御部455は、シフトレジスタ回路部431とバッファ回路部435とを含む。

【0228】シフトレジスタ回路部431は、例えば8段のシフトレジスタ回路により構成されている。バッファ回路435は、8個の直列インバータ回路により構成されている。

【0229】各シフトレジスタ回路の出力は、各バッファ回路435に含まれる1つの直列インバータ回路の入

力に接続されている。直列インバータ回路の出力信号が、各ブロックごとに共通の、CMOS型TFTアナログスイッチ451の制御端子451aに入力される。

【0230】図21によりブロック選択順次駆動方式のアクティブマトリックス型液晶表示装置の動作について説明する。

【0231】図21(a)に示すように、1水平期間Th(20μs)は、書き込み期間Tc(BL1からBL8)とブランкиング期間Tbとに分けられる。図21(b)に示すように、ゲート走査信号の立ち上がり時間はToon、立ち下がり時間はTooffである。

【0232】図21(c)から図21(f)に示すように、この1水平期間Th内において、ゲート走査信号がオンである期間Tc内に、ブロック制御信号として、第1から第8までの各ブロックに対し、順次にオン信号が、t01からt08までの期間内に供給される。

【0233】各ブロック内に存在する画素セルに1行ごとに表示信号を書き込む。1ブロック内に存在する画素セルに対しては、一括して書き込みが行われる。次行の画素についても同様の動作が行われ、各行の画素にブロック順次に信号書き込みを行う。

【0234】ブロック選択順次駆動回路を用いれば、ブロックごとに一括して信号線を駆動することができる。点順次駆動方式を用いた場合と比較して、回路構成が単純になる。1パルスで1ブロック内の画素を動作させるため、信号線駆動回路C2におけるシフトレジスタへの要求特性が緩和する。

【0235】図22に、アクティブマトリックス型液晶表示装置の他の例を示す。

【0236】この装置は、上記アクティブマトリックス型液晶表示装置に適用することができる表示部B及び周辺回路部Cとを含む液晶表示装置Yと、コネクタ端子CT、制御用の集積回路類511等が搭載されたプリント基板PTとが、TAB-IC515によって接続されている。

【0237】この構造のアクティブマトリックス型液晶表示装置Yを用いれば、高速性が要求される制御用の集積回路類511等をプリント基板PT上に搭載することができる。

【0238】単結晶シリコン基板上に形成された高速動作のCMOSFETを半導体能動素子として用いると、高速の集積回路が形成できる。この集積回路をプリント基板PT上に張り付けて用いる。

【0239】アモルファスシリコン層あるいは多結晶シリコン層をチャネル層として用いたTFTと比べて、単結晶シリコン基板上に形成されたCMOSFETは高速で動作する。高速の集積回路を駆動回路や制御回路を用いれば、全体として高速の動作が可能となる。

【0240】尚、以下の(1)から(19)までに記載した事項に関しては、一部を特許請求の範囲に記載した

が、その他の発明に関しても本願発明に包含されるものとする。

【0241】(1) 第一の基板と、該第一の基板上に行方向と列方向に整列したマトリックス状に整列配置された複数の島状の TFT 用多結晶シリコン層と、該多結晶シリコン層を覆って前記第一の基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成され、行方向に沿って延在する複数本の走査線と、前記ゲート絶縁膜上に形成され、前記走査線との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線と、前記走査線及び前記第一の信号線を覆う層間絶縁膜と、該層間絶縁膜に形成され、前記第一の信号線を露出する複数の第1の開口と、前記層間絶縁膜上に形成され、該第一の開口を介して前記第一の信号線間を接続して列方向に連続した信号線を形成する複数の第二の信号線と、前記層間絶縁膜上に形成された画素電極と、前記走査線と前記信号線との交差部近傍に配置され、前記 TFT 用多結晶シリコン層をチャネル層とし、前記走査線と接続されたゲート電極と前記信号線と接続されたソース電極と前記画素電極と接続されたドレイン電極と有する薄膜トランジスタとを含むアクティブマトリックス基板を有する液晶表示装置。

【0242】(2) さらに、前記第一の基板に対向して配置された第二の基板と、該第二の基板上に形成された共通電極と、前記第一の基板と前記第二の基板との間に挟持された液晶層とを含む上記(1)に記載の液晶表示装置。

【0243】(3) 前記画素電極と前記第二の信号線とが同一材料で形成されている上記(1)又は(2)に記載の液晶表示装置。

【0244】(4) 前記第2の信号線は、少なくとも一つの画素に対応する第1の信号線と列方向に隣接する2つの画素に対応する第一の信号線間にわたって連続して延びている上記(1)又は(2)に記載の液晶表示装置。

【0245】(5) 行方向に隣接する前記第一の信号線の間の前記層間絶縁膜上に前記画素電極が形成されている上記(1)又は(2)に記載の液晶表示装置。

【0246】(6) 前記第一の信号線は、行方向に隣接する前記画素電極の間に列方向に延びる隙間を含む領域に形成されている上記(1)又は(2)に記載の液晶表示装置。

【0247】(7) 前記走査線は、列方向に隣接する前記画素電極の間の行方向に延びる隙間を含む領域に形成されている上記(1)又は(2)に記載の液晶表示装置。

【0248】(8) さらに、前記第二の基板上に形成され、少なくとも前記第二の信号線の射影を含み、隣接する前記画素電極間の射影に到達する対向遮光膜を有する上記(1)又は(2)に記載の液晶表示装置。

【0249】(9) 前記半導体能動素子のソース領域と

前記第一の信号線とが前記層間絶縁膜およびゲート絶縁膜に形成された同一の第1の開口により前記第二の信号線と接続される上記(2)に記載の液晶表示装置。

【0250】(10) 一の画素と列方向に隣接する画素の前記走査線が、前記一の画素の画素電極下に突出する突出部を含む上記(1)又は(2)に記載の液晶表示装置。

【0251】(11) さらに前記第一の基板上の前記突出部を含む領域下に、蓄積容量用多結晶シリコン層と、該蓄積容量用多結晶シリコン層上に形成されたゲート絶縁膜及び層間絶縁膜を貫通する第2の開口とを有し、前記一の画素の前記画素電極は、前記第2の開口を介して前記蓄積容量用多結晶シリコン層と接続されている上記(10)に記載の液晶表示装置。

【0252】(12) 第一の基板と、該第一の基板上に行方向と列方向に整列したマトリックス状に整列配置された複数の島状の TFT 用多結晶シリコン層と、該多結晶シリコン層を覆って前記第一の基板上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成され、行方向に沿って延在し前記多結晶シリコン層と交差する複数本の走査線と、前記ゲート絶縁膜上に形成され、前記走査線との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線と、前記走査線及び前記第一の信号線を覆う層間絶縁膜と、該層間絶縁膜に形成され、前記第一の信号線を露出する複数の第1の開口と、前記層間絶縁膜上に形成され、該第一の開口を介して前記第一の信号線間を接続して列方向に連続した信号線を形成する複数の第二の信号線と、前記層間絶縁膜上に形成され、各画素領域内で列方向に延在する部分を有する画素電極と、前記層間絶縁膜上に前記画素電極に隣接して形成され、多画素領域にわたって延在する部分を有する共通電極と、前記走査線と前記信号線との交差部近傍に配置され、前記 TFT 用多結晶シリコン層をチャネル層とし、前記走査線によって形成されたまたは前記走査線によって接続されたゲート電極と前記信号線と接続されたソース電極と前記画素電極と接続されたドレイン電極と有する薄膜トランジスタとを含む液晶表示装置。

【0253】(13) 前記共通電極は、列方向に並ぶ複数の画素領域にわたって延在する第一の部分と、該第一の部分に平行に形成され、間に前記画素電極を挟む分枝部分と、前記第一の部分と前記分枝部分とを接続する接続部分とを有する上記(12)に記載の液晶表示装置。

【0254】(14) 前記分枝部分は、前記第一の信号線上に形成される上記(13)に記載の液晶表示装置。

【0255】(15) さらに前記第一の基板の行方向端部上に配置され、半導体能動素子を含み、前記走査線を駆動する走査線駆動回路を含む第一の周辺回路と、前記第一の基板の列方向端部上に配置され、半導体能動素子を含み、前記信号線を駆動する信号線駆動回路を含む第二の周辺回路とを含む上記(1)または上記(12)に

記載の液晶表示装置。

【0256】(16) 前記第二の周辺回路は、外部から供給されるビデオ信号を伝達するビデオ信号線と、該ビデオ信号線と前記信号線との間に設けられ各々が制御端子と一対の電流端子とを有し、前記制御端子に印加される信号によって前記ビデオ信号線から前記信号線に伝えられるビデオ信号を制御する複数のアナログスイッチと、該複数のアナログスイッチを制御するアナログスイッチ制御部とを含み、該アナログスイッチ制御部は、複数段のフリップフロップ回路を含むシフトレジスタ回路と、前記フリップフロップ回路の各段の出力に連結されるパッファー回路と、前記パッファー回路の各出力と前記各アナログスイッチの制御端子とを結ぶアナログスイッチ制御信号線とを含む上記(15)に記載の液晶表示装置。

【0257】(17) 前記複数本のアナログスイッチ制御線が、ブロックごとに分割された複数のアナログスイッチを各ブロックごとに一括して制御する上記(16)に記載の液晶表示装置。

【0258】(18) 第1の基板上にアモルファスシリコン層を形成する工程と、該アモルファスシリコン層を結晶化して多結晶シリコン層を形成する工程と、該多結晶シリコン層を島状に加工して、ソース、ゲート及びドレインを含むTFT用多結晶シリコン層を複数形成する工程と、該TFT用多結晶シリコン層を覆い前記第一の基板上にゲート絶縁膜を形成する工程と、前記走査線および第1の信号線を覆って層間絶縁膜を形成する工程と、該電極膜を加工して、前記第1の基板上を行方向に走る複数本の走査線と、該走査線に接続されたゲート電極と、前記第1の基板上を列方向に前記走査線との交差部近傍を避けた領域において断続的に走る複数本の第1信号線とを形成する工程と、前記ゲート絶縁膜上に層間絶縁膜を形成する工程と、該層間絶縁膜のうち少なくとも前記TFT用多結晶シリコン層をチャネル層とする薄膜トランジスタのドレイン上、ソース上及び前記第1信号線の両端部上とに第1から第3までの開口を形成する工程と、前記第1の開口を介して前記層間絶縁膜上に画素電極を形成する工程と、前記第2及び第3の開口を介して前記ソース及び前記第一の信号線間とを接続し列方向に連続した信号線を形成する第2信号線を前記層間絶縁膜上に形成する工程とを含む液晶表示装置の製造方法。

【0259】(19) 前記画素電極を形成する工程と前記第2信号線を形成する工程とは、同一の電極材料を用いた同一工程で行われる上記(18)記載の液晶表示装置の製造方法。

【0260】本発明の液晶表示装置は、パソコンコンピュータの表示装置とし用いる場合に好適である。加えて、携帯用通信機器、テレビジョン、産業用モニタ装置等に用いても好適である。

【0261】その他、種々の変更、改良、組み合わせ等が可能なことは当業者には自明あろう。

【0262】

【発明の効果】アクティブマトリックス型液晶表示装置において、簡略された工程により、高画質の明るい液晶パネルを実現することができる。

【0263】また、製造歩留まりを向上させるとともに、信頼性をも高めることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による液晶表示装置の概略断面図である。

【図2】本発明の第1の実施の形態による液晶表示装置の概略的な回路構成図である。

【図3】本発明の第1の実施の形態による液晶表示装置のうち走査線と信号線を中心とした図であり、(a)は平面図、(b)は(a)のⅠⅠⅠb-ⅠⅠⅠb'線断面図を示す。

【図4】本発明の第2の実施の形態による液晶表示装置のうち走査線と信号線を中心とした図であり、(a)は平面図、(b)は(a)のⅠⅤb-ⅠⅤb'線断面図を示す。

【図5】液晶表示装置の要部を示す図であり、(a)は平面図、(b)は(a)のVb-Vb'線断面図、(c)は(a)のVc-Vc'線断面図を示す。

【図6】液晶表示装置の要部を示す図であり、(a)は図5(a)のVⅠb-VⅠb'線断面図に対応し、(c)は(a)のVⅠc-VⅠc'線断面図に対応する図である。

【図7】液晶表示装置の要部を示す図であり、(a)は平面図、(b)は(a)のVⅠⅠb-VⅠⅠb'線断面図、(c)は(a)のVⅠⅠc-VⅠⅠc'線断面図を示す。

【図8】液晶表示装置の変形例の要部を示す図であり、(a)は平面図、(b)は(a)のVⅠⅠⅠb-VⅠⅠⅠb'線断面図を示す。

【図9】液晶表示装置のうち、蓄積容量を中心とした構造を示す図である。(a)は回路図、(b)は平面図、(c)は(b)のⅠⅩc-ⅠⅩc'線断面図を示す。

【図10】(a)から(e)は、液晶表示装置のうち表示部の製造工程を示す断面図である。

【図11】(f)、(g)は、液晶表示装置のうち表示部の製造工程を示す断面図である。

【図12】(h)、(i)は、液晶表示装置のうち表示部の製造工程を示す断面図である。

【図13】(a)から(f)は、液晶表示装置のうち周辺回路部の製造工程を示す断面図である。

【図14】本発明の第3の実施の形態による横方向電界型液晶表示装置の概略断面図を示す。

【図15】本発明の第3の実施の形態による横方向電界型液晶表示装置の要部を示す図であり、(a)は平面

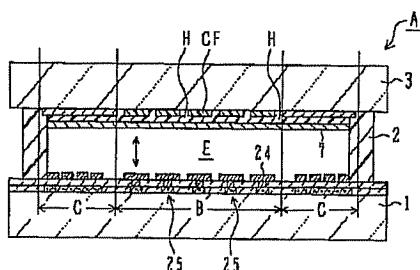
図、(b) は (a) の $XVb - XVb'$ 線断面を、
(c) は (a) の $XVc - XVc'$ 線断面図を示す。
【図 16】液晶表示装置の概略構成を示す回路図である。

【図 17】(a) は、液晶表示装置の周辺回路のうち走査線駆動回路のブロック図、(b) は回路図である。
【図 18】(a) は液晶表示装置の周辺回路のうち信号線駆動回路のブロック図、(b) は回路図である。
【図 19】液晶表示装置の信号線駆動回路の回路図であり、(a) は、フリップフロップ回路、(b) はインバータ回路の回路図である。
【図 20】ブロック線順次駆動方式の回路図である。
【図 21】ブロック線順次駆動方式の回路の動作を示すタイミングチャートである。
【図 22】制御回路を実装したアクティマトリックス型液晶表示装置の概略図である。

【符号の説明】

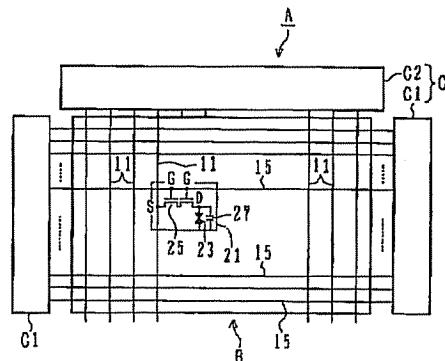
- A 液晶表示装置
- B 表示部
- C 周辺回路部
- C1 走査線駆動回路
- C2 信号線駆動回路
- CF カラーフィルタ
- S ソース
- D ドレイン
- G ゲート
- E 液晶材
- H 平坦化膜
- 1 第1の基板
- 2 シール材
- 3 第2の基板
- 5 ゲート絶縁膜

【図 1】

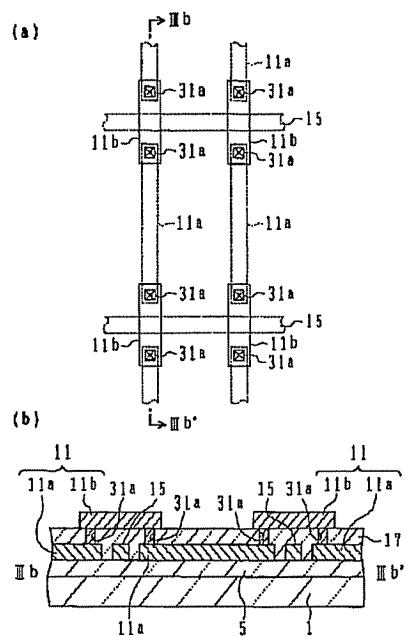


- 7 共通電極
- 11 信号線
- 11a 第1の信号線
- 11b 第2の信号線
- 15 走査線
- 21 画素
- 23 液晶セル
- 24 画素電極
- 25 画素 TFT
- 27 儲積容量
- 31 開口
- 37 開口部
- 41 多結晶シリコン層
- 41a TFT用多結晶シリコン層
- 41b 儲積電極用多結晶シリコン層
- 51 対向BM
- 57 Cr膜
- 75 周辺回路用 TFT
- 81 引き出し端子
- 201 双方向スイッチ
- 215 シフトレジスタ部
- 217 マルチブレクサ部
- 221 インバータ
- 225 フリップフロップ回路
- 301 アナログスイッチ
- 311 アナログスイッチ制御部
- 315 アナログスイッチ制御信号線
- 321 フリップフロップ回路
- 325 シフトレジスタ回路
- 331 バッファー回路
- 411 CMOS型 TFTアナログスイッチ
- 451 CMOS型アナログスイッチ

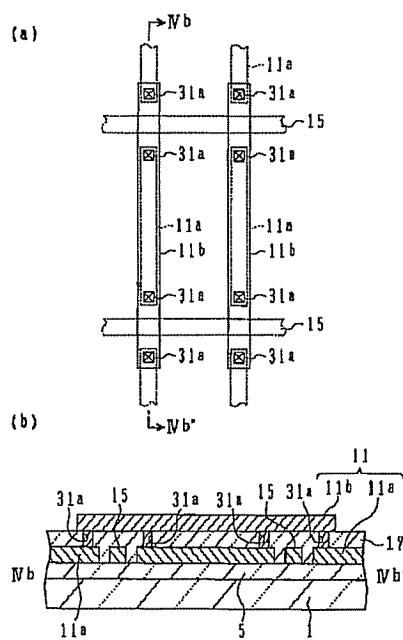
【図 2】



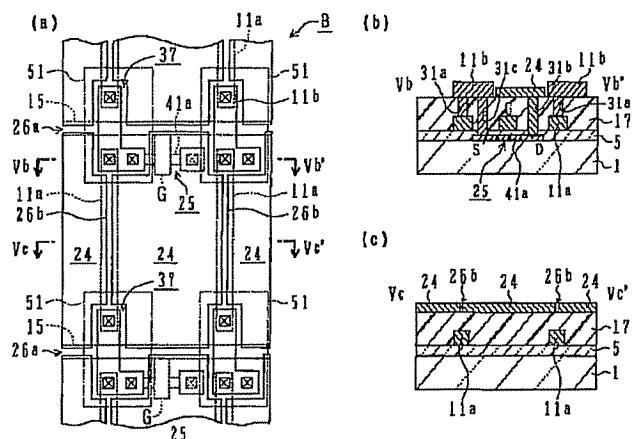
[図3]



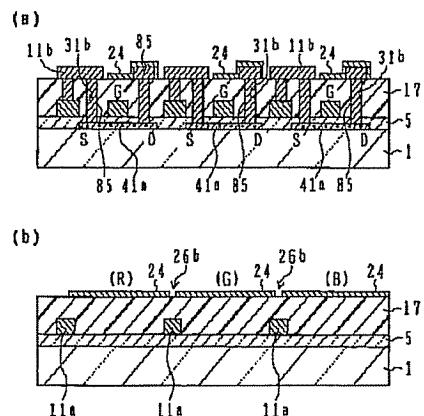
[図4]



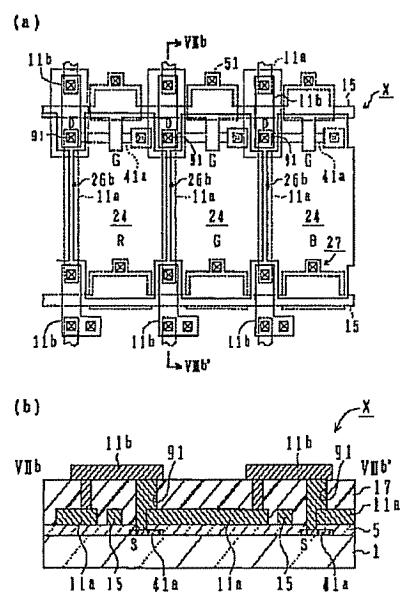
[図5]



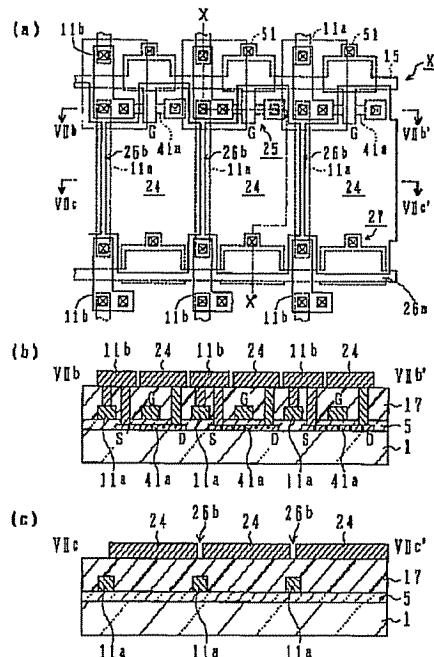
[図 6]



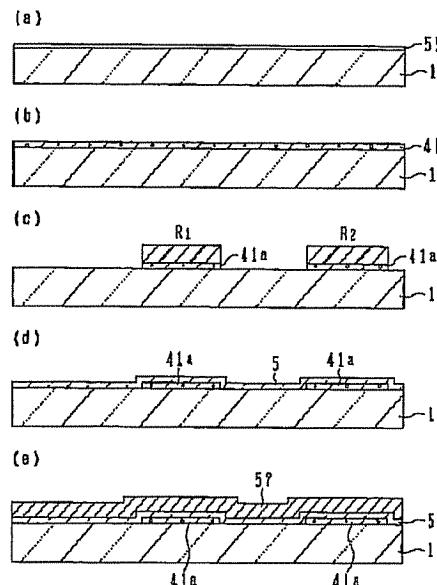
[図 8]



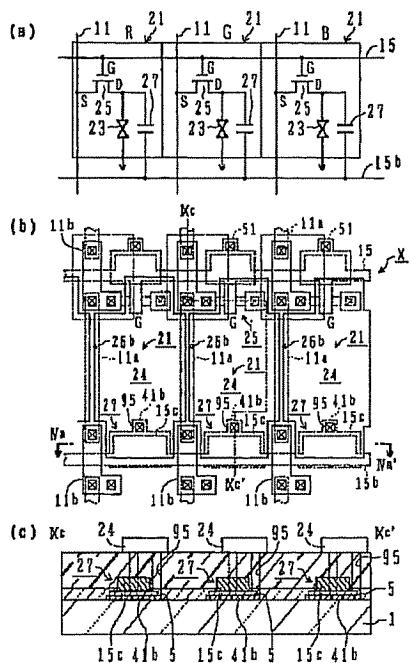
[図 7]



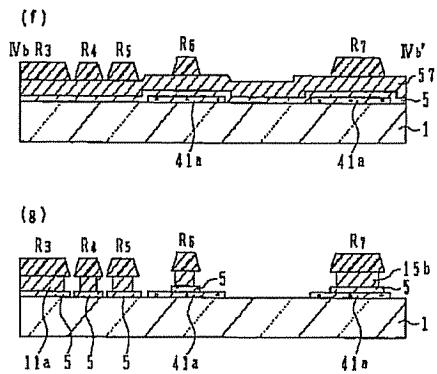
[図 10]



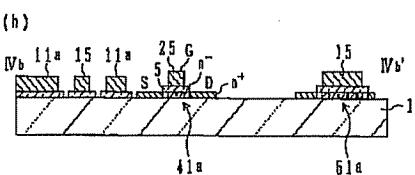
[図9]



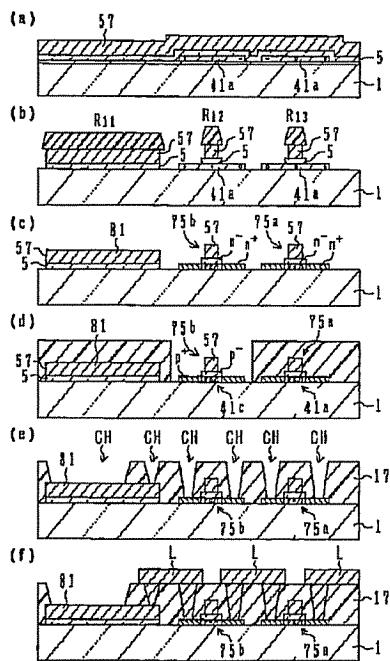
【图 1-1】



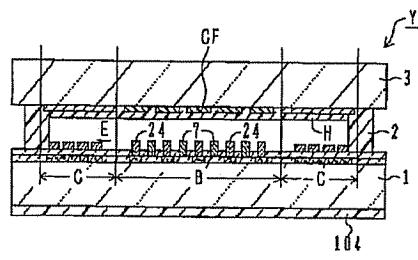
[図12]



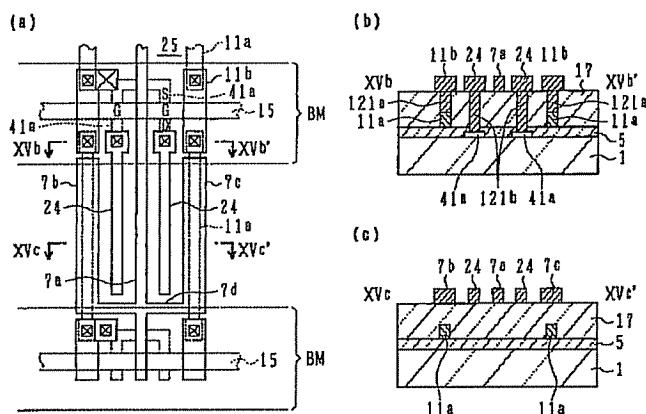
[図13]



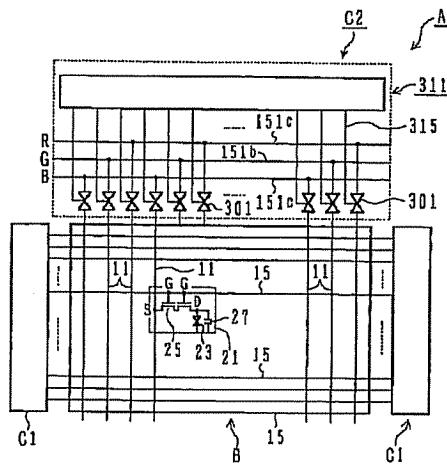
[図14]



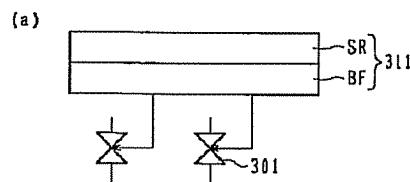
[図15]



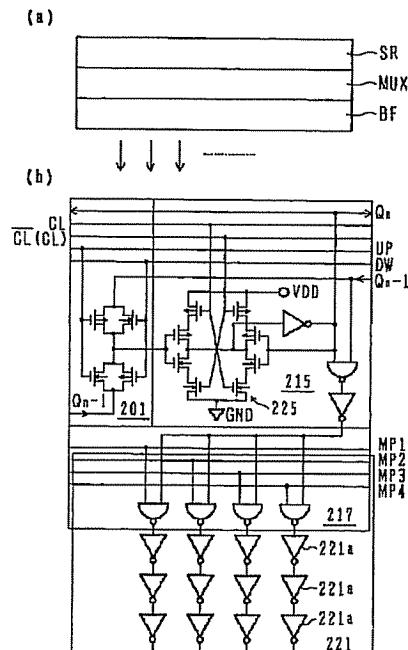
[図 16]



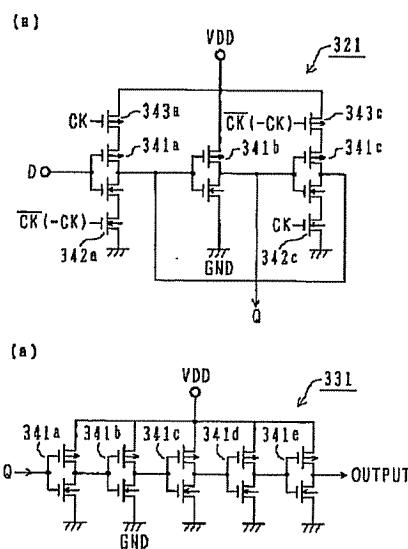
【図18】



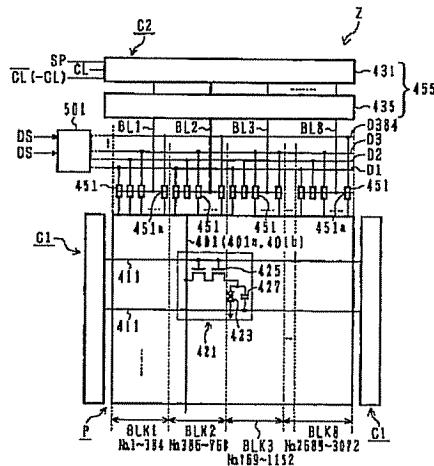
[図17]



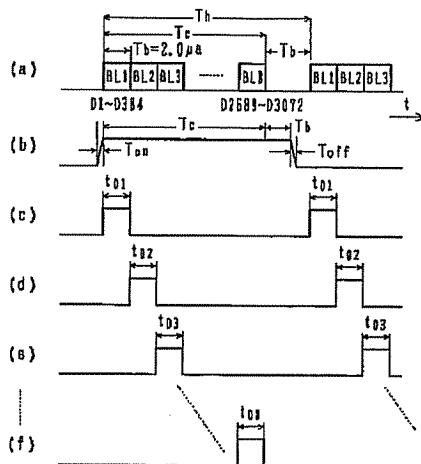
[图 19]



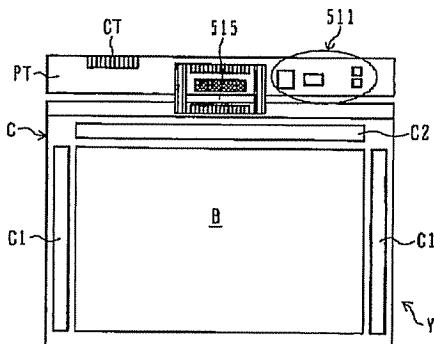
[図20]



[図21]



[图22]



【手稿補正書】

【提出日】平成12年4月19日(2000.4.19)

【手稿補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 請求項 1

【補正方法】変更

【補正內容】

【請求項1】第一の基板と、

該第一の基板上に行方向と列方向に整列したマトリックス状に整列配置された複数の島状の TFT 用多結晶シリコン層と、
該多結晶シリコン層を覆って前記第 1 の基板上に形成さ

該少相品シテ画シ落を覆シテ前記第1の基板上に形成セ

れたゲート絶縁膜と

該ゲート絶縁膜上に形成され、行方向に沿って延在する複数本の走査線と、

前記ゲート絶縁膜上に形成され、前記走査線との交差部近傍を避けた領域に列方向に断続的に延在する複数本の第一の信号線と、

前記走査線及び前記第一の信号線を覆う層間絶縁膜と、該層間絶縁膜に形成され、前記第一の信号線を露出する複数の第1の開口と、

前記層間絶縁膜上に形成され、該第一の開口を介して前記第一の信号線間を接続して列方向に連続した信号線を形成する複数の第二の信号線と

前記層間絶縁膜上に形成された画素電極と、
前記走査線と前記信号線との交差部近傍に配置され、前
記TFT用多結晶シリコン層をチャネル層とし、前記走
査線と接続されたゲート電極と前記信号線と接続された

ソース電極と前記画素電極と接続されたドレイン電極と
を有する薄膜トランジスタとを含むアクティブラマトリッ
クス基板を有する液晶表示装置。

フロントページの続き

F ターム(参考) 2H092 GA59 JA25 JA28 JA35 JA36
JA39 JA40 JA43 JA44 JA47
JB23 JB32 JB58 JB64 JB66
KA04 KA07 KA10 KA12 KB04
KB22 KB25 MA07 MA13 MA18
MA27 MA30 MA41 NA27 PA06
PA12
5C094 AA10 BA03 BA43 CA19 DA15
EA03 EA04 EA07 FB02 GB01
5F110 AA01 AA09 AA17 AA18 AA26
BB02 BB04 DD02 DD13 DD24
EE04 EE06 EE28 EE36 EE44
FF02 FF30 GG02 GG06 GG13
GG25 GG45 HJ01 HJ04 HJ13
HJ23 HL03 HL04 HL11 HM15
HM18 NN03 NN04 NN27 NN36
NN44 NN72 NN80 PP03 PP04
QQ05 QQ11 QQ19